

Communications Systems מערכות תקשורת

בוקר טוב



היום: ממשק לתקשורת טורית
UART - 8250

Saul Coval Computer Systems

בוקר טוב !!

נא לשמור על השקט !!

תודה



Saul Coval Computer Systems יום שלישי 07 נובמבר 2006

כל המבטים... לכיוון הלוח



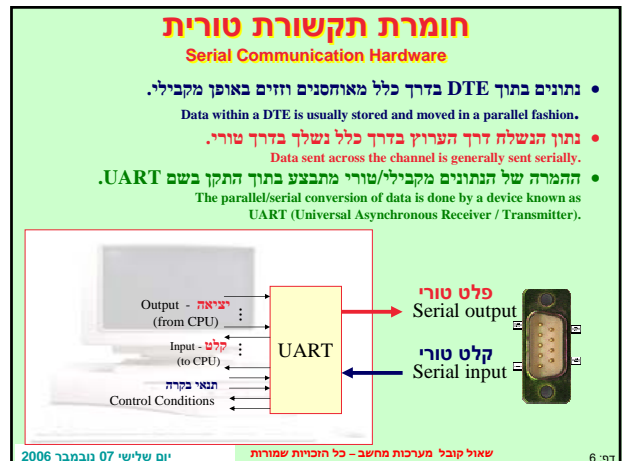
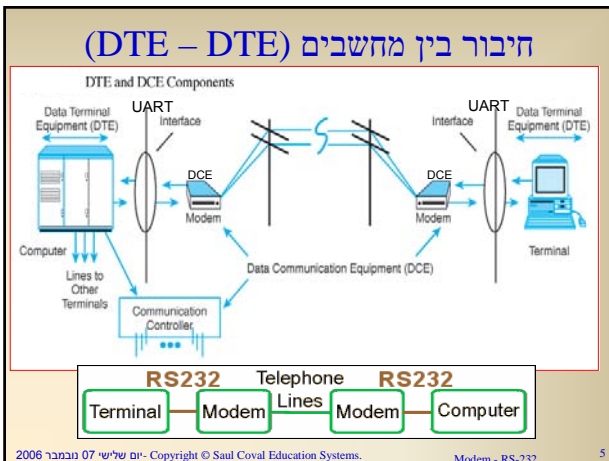
Saul Coval Computer Systems יום שלישי 07 נובמבר 2006

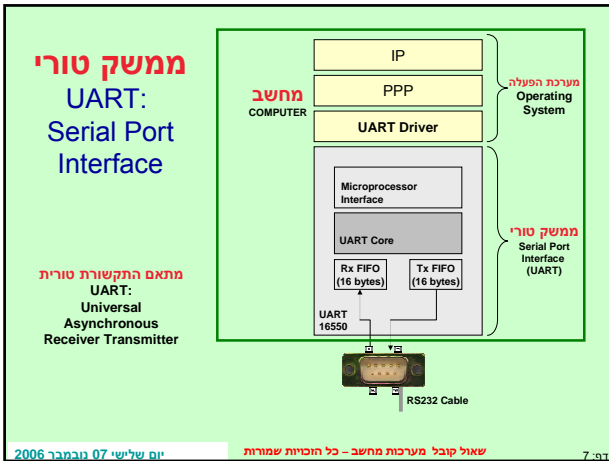
מתאם התקשורת טורית UART

משדר מקלט אסינכרוני אוניברסאלי
Universal Asynchronous Receiver/Transmitter

8250 - 8250B - 16450 - 16550

Saul Coval Computer Systems שאל קובל מערכות מחשב - כל הזכויות שמורות





ציוד לשידור וקליטה - Send and Receive Equipment

- המרה מקבילי לטורית מהמחשב ואז טורית למקבילית בסוף האחר - Parallel-to-serial conversion out of the computer and then Serial-to-parallel conversion at the other end.
- מעגלים מסוג LSI מביעים אחד מתוך 3 תהליכים:
 - + Asynchronous framing only מסגרות אסינכרוניות בלבד
 - + Synchronous framing only מסגרות סינכרוניות בלבד
 - + Both גם זה וגם זה

התקן UART: Universal Asynchronous Receiver and Transmitter

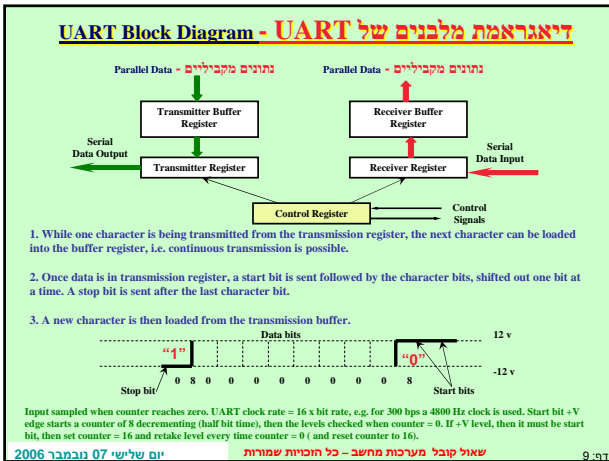
התקן USART: Universal Synchronous/Asynchronous Receiver and Transmitter

התקן UART מבצע:

- UART performs:
 - + Serial to Parallel conversion - המרה טורית למקבילי
 - + Frame generation and checking - יצירה ופיקוח של מסגרות
 - + Programmed for 5, 6, 7, 8 bit characters - מתוכנת עבור 5, 6, 7, 8 סיביות לכל סימן / נתון
 - + Parity: even, odd, none - פריקה זוגית, זוגי, אי-זוגי או פלוס -
- + Line bit rate using an external clock, (50 to 9600 bps or higher) - קצב סיביות בקו חוץ שימוש בשערי היציג

2006 נובמבר 07 יום שלישי 8 דב

שאל קובל מערכת מחשב - כל הכויות שמורות



UART 8250

- בסדר, ניתן לומר שהבנו את השקפים הקודמים של הפרק של תקשורת טורית RS232. איך המעבד המרכזי שולח אותות דרך השער הטורתי? OK, lets say we understood the previous slides. How does the CPU send signals through the serial port?
- משתמשים בהתקן UART שהוא מתוכנת על ידי המעבד של המחשב לביצוע תהליכים עבורו.
- במקרה שלנו ה-8250 UART הוא המכשיר ששולט בשער הטורי. ה-8250 הראשון של משפחה שמכילה ה-8250B, 16550, 16450, ואחרים. In our case the UART 8250 is the device that controls the serial port. The 8250 is the first of a family that contains the 8250B, 16450, 16550 and others.
- ה-8250 הוצג עם ה-XP-PC, כך המחשב שלך קרוב לוודאי היה בעל גרסה חדישה. אבל כל פקודה אחורה היא מתאים, לכן אנחנו יכולים לתכנת כאילו יש לנו 8250. The 8250 was introduced with the XT PC, so your computer probably has a later version. But all are backward compatible, so we can program as though we have a 8250.

2006 נובמבר 07 יום שלישי 10 דב

שאל קובל מערכת מחשב - כל הכויות שמורות

משדר מקלט אסינכרוני אוניברסאלי

Universal Asynchronous Receiver/Transmitter - UART

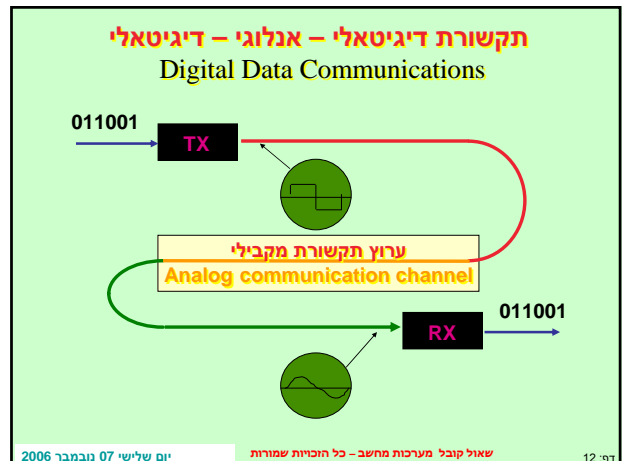
מעגל מיוחד שמשחרר מעבד מבלעב לולאות תדמון

מאפיינים של UART

- נראה כשער קלט/פלט מקבילי עבור מחשבי מסוג x86
- מכיל מעגלי שידור (Tx) וקליטה (Rx).
- מכיל אוגרי מצב (מצב: BUSY/READY - ERROR)
- סוגי שגיאות ש- UART מסוגל לגלות:
 - שגיאת מסגרת - Framing error
 - סיבית התחלתי שהתקבל שגוי - Invalid start bit received
 - שגיאת בסיבית הזוגיות - Parity error
 - גילוי שגיאה בסיבית בודד - Single bit data error detected
 - גילוי שגיאת גלישה - Overrun
 - Stop bit not found - לא נמצאה סיבית סיום
- רוב התקני UART משתמשים אות של שעון מסוג 16x - Most UART's use a dedicated 16x clock - 16x (סיביות לשנייה) → 19.2 kHz clock signal (אות השעון)
- כל סיבית מחולקת ב-16 "פרוסות של זמן" - Each bit divided into 16 "time slices"
- מעגל Tx מחליף (המרה) מקבילי לטורי - מעגל Rx מחליף (המרה) מטורי למקבילי.
- שילוב בין אוגרים PISO/SIPO.

2006 נובמבר 07 יום שלישי 11 דב

שאל קובל מערכת מחשב - כל הכויות שמורות



הצפנה ופענוח של אותות דיגיטליים

Encoding and Decoding digital signals

• משדר (Tx)

Transmitter (Tx)

- קלט: זרימה של מספרים בינאריים - Input : stream of binary numbers
- פלט: זרימה של אותות אנלוגיים, מתאים להעברה מעל מרחקים ארוכים - Output : stream of analog signals suitable for transmission over long distances

• מקלט (Rx)

Receiver (Rx)

- קלט: זרימה של אותות אנלוגיים - Input : stream of analog signals
- מיוצר על ידי משדר - generated by transmitter
- עוות על ידי ערוץ העברה - distorted by transmission channel
- משווה כל קלט מאותת עם כל אותות שהיו יכולים להיות משודרים ומחליט איזה אות שהתקבל הוא קלט מעוות. Compares each input signal with all signals which could have been transmitted and decides from which one the input is a distorted image.
- פלט: זרימה של מספרים בינאריים, עדיף מדויקים לקלט למשדר. - Output : stream of binary numbers, preferably identical to the input of the transmitter

13 ד"ר

שידור דרך UART

• הפוך בייט מקבילי פנימי לתוך זרימה של סיביות טוריים

Convert internal parallel byte into a stream of serial bits.

• יצירת סיביות הזוגיות - Parity generation

14 ד"ר

שידור דרך UART

רגיסטר שינוי (shift) יחיד : פעם ש-UART שלח בייט, המעבד יכול להיות מאותת ש-UART מוכן למסור בייט נוסף.

Single shift register:
Once the UART has sent a byte, the processor can be signaled that the UART is ready to transmit another byte.

יחידת זמן Time	מעבד Processor	UART	ערוץ Channel
1	מספק בית להתקן supplies byte to UART		מחשבת מפעילות - Idle
2		shifts data bits	פעיל - Active
3		shifts data bits	Active
.		חזרת הסיביות shifts data bits	Active
9		signals completion to processor	Idle
10	supplies byte to UART		Idle
11		shifts data bits	Active
12		shifts data bits	Active

15 ד"ר

חציצה כפולה - Double Buffering

• אוגר שני, אוגר שומר נתוני שידור, ממוקם בין המעבד לבין ה-UART.

A second register, a Transmit holding register, is placed between the processor and the UART.

Time	Processor	Hold Reg.	Shift Reg.	Channel
1	supplies byte to HR	empty	empty	Idle
2		supplies bytes to SR	empty	Idle
3		signals processor	shifts data bits	Active
4	supplies byte to HR	empty	shifts data bits	Active
5		data	shifts data bits	Active
6		supplies bytes to SR	shifts data bits	Active
7		signals processor	shifts data bits	Active

16 ד"ר

קלט דרך UART

• UART מושבת מפעילות בזמן שהערוץ במצב מושבת תנועה (mark) נתון "1", מתח שלילי.

UART is in an idle receive state while the channel is in an idle (mark) state.

• עד לגילוי של מצב ערוץ משתנה (אות לרוח, "1" ל-"0"), UART קובע את המרכז של סיבת ההתחלה ואז קורא סיביות מהערוץ ברווחים רגילים, משתמש בשעון דוגם.

Upon detection of a channel state change (Mark to Space), UART determines the center of the start bit and then reads bits from the channel at regular intervals using a sampling clock.

• הסיביות נאספים באוגר הווה - The bits are assembled in a shift register

• הסיביות זזות ימינה בכל אות של שעון - Bits in the register are shifted to the right at each clock tick.

• כאשר כל הסיביות נקראו מהערוץ, הבית הנוצר מועבר למעבד.

When all bits have been read from the channel, the resulting byte is supplied to the processor.

17 ד"ר

קלט דרך UART

• האלגוריתם למציאת את המרכז של סיבת ההתחלה:

The algorithm to find the center of the start bit:

1. המתן למעבר מ-"1" ל-"0" - Wait for a mark-to-space transition.
2. כאשר נמצא המעבר, דגם את הקו על פי קצב של 16 פעמים של קצב שידור הסיביות. - As soon as a transition has been found, sample the line at 16 times the bit rate.
3. אחרי 8 תקופות (1/2 זמן של סיביות), דוגם את הקו: - After 8 ticks (1/2 bit time), sample the line.

א- אם נמצא רווח ("0"), מונח שקיים סיבת התחלה והקו יכול להיות נדגם פעם לזמן סיביות. - If space (0) is found, a start bit is assumed and the line can be sampled once per bit time.

ב- אם נמצא ציון ("1"), נמצא סיבת התחלה פסול ונוטשים את ההדגמה. - If a mark (1) is found, a false start bit was found, and the line sampling can be abandoned.

• הנחה יסודית : משדר ומקלט מסכימים לשידור בקצב סיביות אחיד.

Underlying assumption: transmitter and receiver agree to a common bit rate.

18 ד"ר

משרד מקלט אסינכרוני אוניברסלי מעגל הממיר מידע לזרם טורי ומשמש ביציאות טוריות - PC UART

- PC טיפוס מוספק עם לפחות UART אחד (שער טורי).
- רוב UART של PC תואמים את 8250 UART של אינטל.
- UART יכול לאותת למעבד עם הסטאטוס (מצב) הבא:
 - נתון מוכן (בחוצץ קלט).
 - שגיאות קלט (overrun, parity, framing)
 - גילוי מצב עצירה (במצב "0" למסגרת שלמה).
 - אוגר הזזה לשידור ריק.
 - אוגר חוצץ שידור ריק.

יום שלישי 07 נובמבר 2006 שאל קובל מערכת מחשב - כל הזכויות שמורות

הגדרות יציאה טורית UART - COM1

יום שלישי 07 נובמבר 2006 שאל קובל מערכת מחשב - כל הזכויות שמורות

UART

8250

COM1 / COM2

DB 9 pin assignment

יום שלישי 07 נובמבר 2006 שאל קובל מערכת מחשב - כל הזכויות שמורות

8250

16550

יום שלישי 07 נובמבר 2006 שאל קובל מערכת מחשב - כל הזכויות שמורות

חיבור ה-UART למחשב

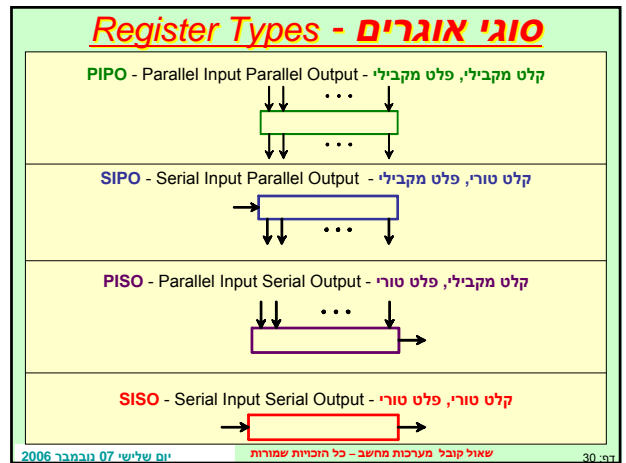
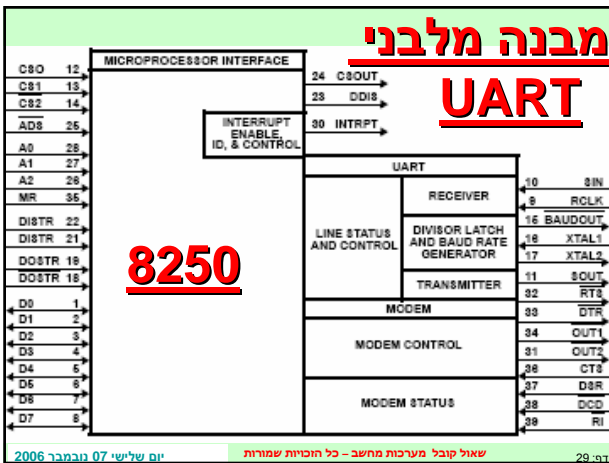
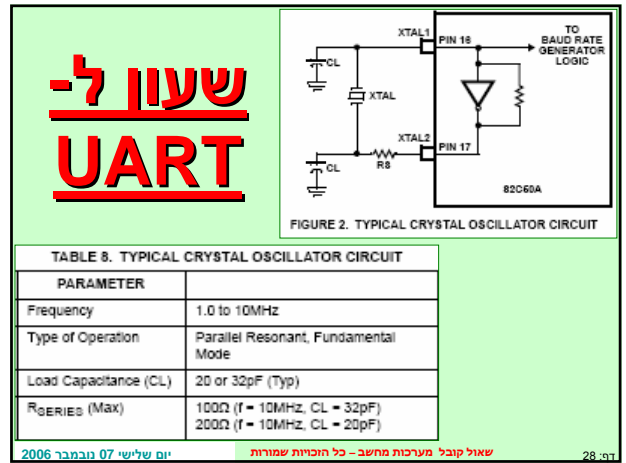
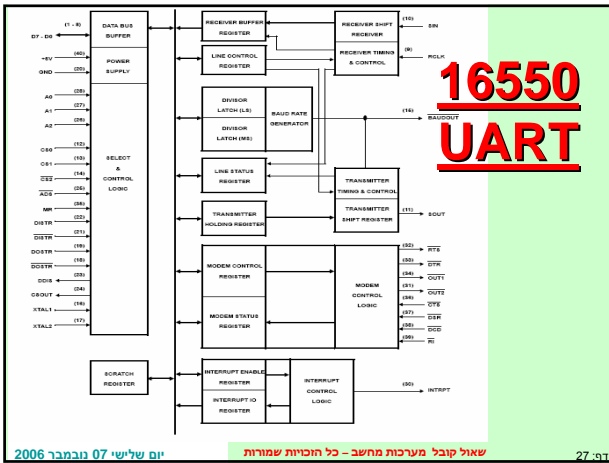
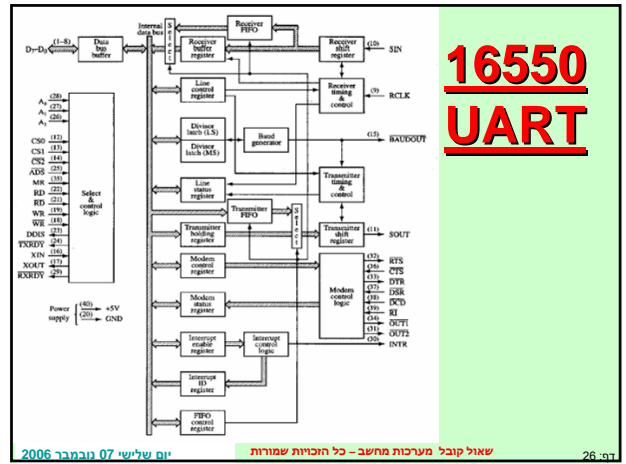
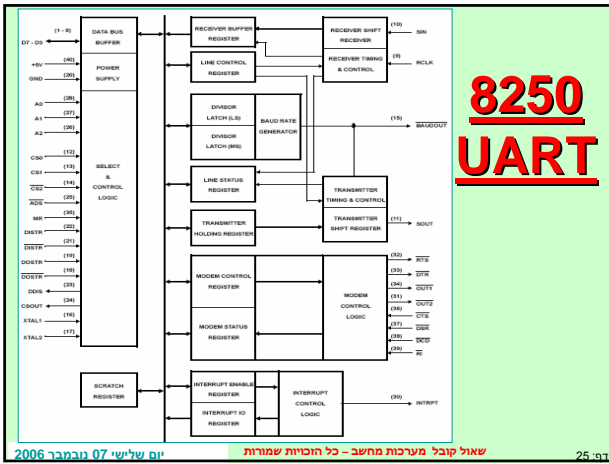
יום שלישי 07 נובמבר 2006 שאל קובל מערכת מחשב - כל הזכויות שמורות

RS-232 Level Converters

Almost all digital devices which we use require either TTL or CMOS logic levels. Therefore the first step to connecting a device to the RS-232 port is to transform the RS-232 levels back into 0 and 5 Volts. As we have already covered, this is done by RS-232 Level Converters.

Two common RS-232 Level Converters are the 1488 RS-232 Driver and the 1489 RS-232 Receiver. Each package contains 4 inverters of the one type, either Drivers or Receivers. The driver requires two supply rails, +7.5 to +15v and -7.5 to -15v. As you could imagine this may pose a problem in many instances where only a single supply of +5v is present. However the advantages of these 1.C's are they are cheap.

יום שלישי 07 נובמבר 2006 שאל קובל מערכת מחשב - כל הזכויות שמורות



PC16550D UART

תפקודיות בשידור - Transmit Functionality

- (1) מקבל בית אחד מהמעבד - *Receives 1 byte from processor*
- (2) המרה למבנה טורי - *Converts to serial form (PISO register)*
- (3) מוסיף סיביות בקרה - *Adds start, stop and parity bits*
- (4) מוסיף נתוני שעונים בסדרה - *Clocks data out serially (Possible rates are 0-256 kbps)*

תפקודיות בקליטה - Receive Functionality

- (1) מקבל מסגרת טורית מהתקן - *Receives serial frame from device*
- (2) המרה למבנה מקבילי - *Converts to parallel form (SIPO register)*
- (3) בדיקת שגיאות - *Checks for errors (framing, parity, overrun)*
- (4) מאחסן הבית שהתקבל לגישה על ידי המעבד - *Stores received byte for processor access*

סכמות קלט/פלט לבקרה - Supported I/O control schemes

- (1) סריקה - *Polling (parallel)*
- (2) פסיקות - *Interrupts*
- (3) גישה ישירה לזיכרון - *DMA*

רכיב ה-16550D הוא המשך של המעגלים: 16540 - NS8250/8251
 נדרש רכיב אחד 16550 לכל שער טורי (בדרך כלל 2 לכל מחשב Com2+Com1).
 הרכיב NPC16552D הוא רכיב בתוך שבב אחד הכולל 2 יחידות 16550s.
 שאל קובל מערכת מחשב - כל הזכויות שמורות

ד"ר 31 יום שלישי 07 נובמבר 2006

תכנות ה-UART 8250

התכנות מתבצע על ידי קריאה וכתיבה של אוגרי ה-8250. האוגרים הם:

כתובת בסיס	מצב	שם	
Base Address	Mode	Name	
+0 (DLAB=0)	Write	Transmitter Holding Buffer	THR
+0 (DLAB=0)	Read	Receiver Buffer	RBR
+0 (DLAB=1)	Rd/Wr	Divisor Latch Low Byte	DLL
+1 (DLAB=0)	Rd/Wr	Interrupt Enable Register	IER
+1 (DLAB=1)	Rd/Wr	Divisor Latch High Byte	DLM
+2	Read	Interrupt Identification Register	IIR
+2	Write	FIFO Control Register	FCR
+3	Rd/Wr	Line Control Register	LCR
+4	Rd/Wr	Modem Control Register	MCR
+5	Read	Line Status Register	LSR
+6	Read	Modem Status Register	MSR
+7	Rd/Wr	Scratch Register	SCR

שאל קובל מערכת מחשב - כל הזכויות שמורות

ד"ר 32 יום שלישי 07 נובמבר 2006

REGISTER MEMORIC	REGISTER BIT NUMBER															
	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
RBR (Read Only)	Data Bit 7 (MSB)	Data Bit 6	Data Bit 5	Data Bit 4	Data Bit 3	Data Bit 2	Data Bit 1	Data Bit 0 (LSB)								
THR (Write Only)	Data Bit 7	Data Bit 6	Data Bit 5	Data Bit 4	Data Bit 3	Data Bit 2	Data Bit 1	Data Bit 0								
DLL	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0								
DLM	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8								
IER	0	0	0	0	(EORSI) Enable Modem Status Interrupt	(ELRI) Enable Receiver Line Status Interrupt	(ETBEI) Enable Transmitter Holding Register Empty Interrupt	(ERFI) Enable Received Data Available Interrupt								
IIR (Read Only)	0	0	0	0	0	Interrupt ID Bit (1)	Interrupt ID Bit (0)	IF-IF Interrupt Pending								
LCR	(DLAB) Divisor Latch Access Bit	Set Break	Stick Parity	(EPS) Even Parity Select	(FEN) Parity Enable	(STB) Number of Stop Bits	(WLSB1) Word Length Select Bit 1	(WLSB0) Word Length Select Bit 0								
MCR	0	0	0	Loop	Out 2	Out 1	(RTS) Request to Send	(DTR) Data Terminal Ready								
LSR	0	(TEMT) Transmitter Empty	(THRE) Transmitter Holding Register Empty	(BI) Break Interrupt	(FE) Framing Error	(PE) Parity Error	(OE) Overrun Error	(DR) Data Ready								
MSR	(DCD) Data Carrier Detect	(RI) Ring Indicator	(DSR) Data Set Ready	(CTS) Clear to Send	(DDCD) Data Carrier Detect	(TER) Trailing Edge Ring Indicator	(DDSR) Data Set Ready	(DCTS) Data Clear to Send								
SCR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0								

שאל קובל מערכת מחשב - כל הזכויות שמורות

ד"ר 33 יום שלישי 07 נובמבר 2006

גישה לאוגרים (Registers)

- בארכיטקטורה 80x86 גישה להתקני קלט/פלט מתבצע על ידי פקודות מיוחדות של קלט/פלט. הפקודות נקראות IN ו-OUT, גישה לשערי קלט/פלט.
- השערים של קלט/פלט מוקמים בכתובות בשם *I/O space*, אלה הם כתובות דרכם פונים באוגרים (רגיסטרים) של התקני קלט/פלט.
- למחשב שלנו שערים סטנדרטיים לממשקים הטוריים, לשערים אלה השמות COM1-4. הם ממופים למספרי שערים הבאים וקיים לבקשת פסיקה (Interrupt Request).

שם	כתובת השער	IRQ
COM 1	3F8H	4
COM 2	2F8H	3
COM 3	3E8H	4
COM 4	2F8H	3

שאל קובל מערכת מחשב - כל הזכויות שמורות

ד"ר 34 יום שלישי 07 נובמבר 2006

כתובות ותפקוד המתאם הטורי

UART Port Addresses and Functions

שער 1 Port 1	שער 2 Port 2	אופסט לכתובת Address Offset	שימוש Uses
0x3F8	0x2F8	Base address + 0	Transmission Register Buffer Receive Register Buffer Line Speed (LSB)
0x3F9	0x2F9	Base address + 1	Interrupt Enable Line Speed (MSB)
0x3FA	0x2FA	Base address + 2	Interrupt Identification Register
0x3FB	0x2FB	Base address + 3	Line Control Register
0x3FD	0x2FD	Base address + 5	Line Status Register

שאל קובל מערכת מחשב - כל הזכויות שמורות

ד"ר 35 יום שלישי 07 נובמבר 2006

8250/16450/16550 UART

כתובות גישה לאוגרים - Registers Addresses

DLAB	A2	A1	A0	Description
0	0	0	0	Receive buffer register for read, transmitter holding register for write
0	0	0	1	Interrupt enable register
x	0	1	0	Interrupt identification register (read only)
x	0	1	1	Line control register (data format register)
x	1	0	0	MODEM control register
x	1	0	1	Line status register
x	1	1	0	MODEM status register
x	1	1	1	Scratch register
1	0	0	0	Divisor latch register (LSB)
1	0	0	1	Divisor latch register (MSB)

שאל קובל מערכת מחשב - כל הזכויות שמורות

ד"ר 36 יום שלישי 07 נובמבר 2006

תכנות ה-UART 8250

- לפני השימוש ברכיב UART 8250 חייבים לכתוב בו: מהירות בקו, גודל המילה, סיבית הביקורת ומספר סיביות סופיות.
- מהירות בקו של UART מיוצר תוך חלוקה של קצב הפנימי של השעון (1.8432 MHz) במחנה (divisor) של 16 סיביות הנשמר בשתי האוגרים של מהירות הקו.
- הערך שנוצר מהחילוק הוא 16 פעמים מהירות הנוכחי של הקו.

Divisor (Hex)	Line Speed
0x0900	50
0x1800	300
0x0060	1200
0x0030	2400
0x000C	9600

שאל קובל מערכת מחשב - כל הזכויות שמורות | יום שלישי 07 נובמבר 2006 | ד"ר 37

קטע תוכנית לגישה לשער Getting the Port Addresses

```
#include <stdio.h>
#include <dos.h>
void main(void)
{
    unsigned int far *ptraddr; /* Pointer to location of Port Addresses */
    unsigned int address,a; /* Address of Port */
    ptraddr=(unsigned int far *)0x00000400;
    for (a = 0; a < 4; a++) {
        address = *ptraddr;
        if (address == 0)
            printf("No port found for COM%d \n",a+1);
        else
            printf("Address assigned to COM%d is %Xh\n",a+1,address);
        ptraddr++;
    }
}
```

שאל קובל מערכת מחשב - כל הזכויות שמורות | יום שלישי 07 נובמבר 2006 | ד"ר 38

גישה לאוגרים - Accessing the Registers

- כתובות השערים של ה-COM מוגדרות על ידי ה-BIOS ROM (Basic I/O System Read Only Memory) מכתובת: 0x400 עד 0x408.
- אז איך אנחנו ניגשים לרגיסטרים?
- קיים ממשק בשפת C לפקודות קלט (IN) ופלט (OUT):

```
int inp(unsigned short port);
// read a byte from the port
int outp(unsigned short port, int val);
// write a byte to the port
```

- אם משתמשים בשתי הפקודות האלה אפשרי לגשת לרגיסטרים כפי שמוגדר בשקפים הקודמים. למשל לקרוא את ה-LRC צריכים לכתוב:

```
int val;
val = inp(0x3F8 + 3); // or inp(0x3FB);
```

- הסתכל בפקודות הפונקציות בחוברות העזרה של Visual C++ BorlandC.

שאל קובל מערכת מחשב - כל הזכויות שמורות | יום שלישי 07 נובמבר 2006 | ד"ר 39

Real vs. Protected Mode

- Protected mode (מצב מוגן)** זה המצב ריצה של המחשב כאשר צריך לתמוך במשתמשים רבים. מערכות UNIX ו-NT (גם XP) פועלות רק במצב זה.
- Real mode** או **single-user mode** או **privileged-mode** (מצב אמיתי) זה המצב בה מערכת הפעלה נגשת ישירות לממשקי קלט/פלט. DOS פועל במצב זה. Win95/Win98 הם מערכות היברידי (בן-כלאיים), בין מוגנות ומצב אמיתי. אנו נשתמש ב-DOS כדי להריץ התוכניות.
- פקודות `inp` ו-`outp` פועלות כאשר עובדים עם מהדר (קומפיילר) מסוג BorlandC. המהדורות של Visual C++ (`_inp` and `_outp`) אמורות לגרום תקלות, השתדל לא להשתמש בהם.

שאל קובל מערכת מחשב - כל הזכויות שמורות | יום שלישי 07 נובמבר 2006 | ד"ר 40

קצב שידור - Transmission Rate

BAUD - קצב שידור - bps - יחידות בהם נמדד קצב שידור

מהירות ההעברה של תקשורת טורית יכולה להיות מבוטאת במונחים של קצב שידור סיביות (bit rate) או קצב של באוד (baud rate).

קצב שידור סיביות (bit rate - data rate) נמדד בסיביות בשנייה (bit/second) או bps (bit per second) - מדידה של כמות הסיביות המשודרות בשנייה אחד.

Baud Rate. הקצב של שינוי במתח אות השידור ונמדד ב-baud. מספר הפעמים לשנייה שהמתח משתנה בשנייה יכול לכלול יותר מסיבית אחד.

דוגמה:
 $8 \text{ values of voltage } (0..7); \text{ each value conveys } 3 \text{ bits, ie, number of bits} = \log_2 8$
 כלומר:
 $\text{bit rate} = \log_2 V * \text{baud rate}$

כללי:
 בקצב ב-Baud האות יכול להציג רמות-רבות. אם האות מציגה 2 רמות (מתח רמות 0 ו 1), אז הסמל יכול להיות מוצפן בסיבית אחד. במקרה זה $\text{Baud rate} = \text{bit rate}$. זה לא תמיד המקרה.

שאל קובל מערכת מחשב - כל הזכויות שמורות | יום שלישי 07 נובמבר 2006 | ד"ר 41

קצב שידור - Transmission Rate

סיכומים:

Coding Data in Signals:

Two symbol set ==> Tx as 2 different voltages
 or Tx as 2 different frequencies

Baud Rate: The rate of changes of signal

For binary: Baud rate = bit rate.
 For others: Assume we use 8 voltage levels to represent a data "0,1,2,...,7"
 Therefore:
 3-bit are enough to represent the data
 ==> that is: bit rate is 3 times the baud rate

שאל קובל מערכת מחשב - כל הזכויות שמורות | יום שלישי 07 נובמבר 2006 | ד"ר 42

קצב שידור - Transmission Rate

Baud Rate (con't) Example:

For two bits:

Signal rate = $1000/20$
= 50 Baud

Information transfer rate = $50 \times 2 = 100$ Bps

Example 2:
Your modem speed = 14400 bits per second (=14.4 Kbps)
Telephone Line Baud Rate = 2400 symbols per second
One symbol can represent: $14400/2400 = 6$ bits of data
Therefore, one symbol represents 2^6 different levels

שאל קובל מערכת מחשב - כל הזכויות שמורות יום שלישי 07 נובמבר 2006 43 ד"ר

אותות חשמליות - Electrical Signaling

10Base-T

- שיטת הצפנה Manchester היא בלתי-יעילה.
- כאמור Baud Rate הוא כמות אפשרי של שינוי מצב בשנייה.
- Baud rate הוא הגורם המגביל באופן טכני
- 20 Mbaud כידי לשלוח 10 Mbps.

8 possible transitions

4 bits: 1 1 0 1

שאל קובל מערכת מחשב - כל הזכויות שמורות יום שלישי 07 נובמבר 2006 44 ד"ר

קצב שידור ב-UART (Baud Rate)

- הקצב של העברה ב-BPS. ה-UART 8250 הוא בעל שעון בקצב של 1.8432 MHz (מגהרץ). ה-UART מחלק את אות השעון ב-16, זה נותן מהירות (ב-baud) מרבי של 115,200 BPS.
- אבל הקצב הזה אולי יהיה מהיר מדי לכמה מכשירים, לכן הקצב ניתן לשליטה.
- ניתן לומר שאם אנחנו רוצים להתקשר ב-2400 ב.פ.ס (bps), צריכים לחלק את קצב השעון על ידי מספר מוכפל ב-16 להשגת את הקצב הרצוי. המספר הזה נקרא baud rate ("ה"באוד רייט").
- לכן במקרה שלנו: $2400 = 1.8432 \times 10^6 / (\text{baud rate} \times 16)$
- קצב ה"באוד" = $48 = 1.8432 \times 10^6 / (2400 \times 16)$
- קצב ה"באוד" (baud rate) מאוחסן באוגרים DLL ו-DLM לפני תחילת השידור.
- האוגר DLL מכיל את 8 הסיביות הימניות: LSBs (Least Significant Bits).
- האוגר DLM מכיל את 8 הסיביות השמאליות: MSBs (Most Significant Bits).

שאל קובל מערכת מחשב - כל הזכויות שמורות יום שלישי 07 נובמבר 2006 45 ד"ר

משלוח מילה דרך UART - Sending a Word

- כדי לשלוח מילה חייבים לקחת בחשבון על ידי שני הצדדים (מקלט ומשדר) הצעדים הבאים.
- קבע את קצב השידור (baud rate) על ידי חישוב וטעינה של DLM/DLL.
- הגדרת סיביות הביקורת (מופעל כן/לא, זוגי/איזוגי).
- הגדרת אורך המילה (5-8 bits).
- הגדרת כמות סיביות הסיים.
- רשום מילה ל-THR. מילה זו (נניח מילה של 8 סיביות) נרשום לתוך אוגר TSR (Transmit Shift Register). ה- TSR מבצע הזזת הסיביות (shift) אחד-אחד, ומשדר אותם לקו TD.

- המילה נקלטת על ידי RD בצד מקלט ונשמרת ב-RBR שלו.

שאל קובל מערכת מחשב - כל הזכויות שמורות יום שלישי 07 נובמבר 2006 46 ד"ר

אוגר לבקרת הקו - Line Control Register (LCR)

ה-LCR הוא אוגר של 8 סיביות (כמו כל האוגרים של 8250) המבקר את הנתונים העוברים בקווים TD ו-RD.

D7	D6	D5	D4	D3	D2	D1	D0
DLAB	Break	Parity	Parity	Parity	Stop	Data	Data

- Stick Parity Select (5)**
0 = Stick Parity Disable
1 = When Parity is Enable Forces the transmission and Checking of a Parity bit of a Known State. Parity Bit Forced to a Logic "1" if LCR(4)=0 or to a Logic "0" if LCR(4)=1
- Even Parity Select (4)**
0 = Odd Parity when Enable
1 = Even Parity when Enable
- Parity Enable (3)**
0 = Parity Disable
1 = Parity Enable (Generated & Checked)
- World Length Select**
0 0 = 5 Data Bits
0 1 = 6 Data Bits
1 0 = 7 Data Bits
1 1 = 8 Data Bits

שאל קובל מערכת מחשב - כל הזכויות שמורות יום שלישי 07 נובמבר 2006 47 ד"ר

אוגר לבקרת הקו - Line Control Register (LCR)

ה-LCR הוא אוגר של 8 סיביות (כמו כל האוגרים של 8250) המבקר את הנתונים העוברים בקווים TD ו-RD.

D7	D6	D5	D4	D3	D2	D1	D0
DLAB	Break	Parity	Parity	Parity	Stop	Data	Data

- Break Control**
0 = Break Disable
1 = Break Enable
The Serial Output (SOUT) is Forced to the Spacing (Logic "0") State
- Divisor Latch Access Bit (DLAB)**
0 = Must be Low to access the Receiver Buffer, Transmitter Holding Register or the Interrupt Enable Register
1 = Must be High to Access the Divisor Latches DLL and DLM of the Baud Rate Generator (Line Speed divisor registers, ports 0x3F8 and 0x3F9) During a Read or Write Operation

שאל קובל מערכת מחשב - כל הזכויות שמורות יום שלישי 07 נובמבר 2006 48 ד"ר

Line Control Register (LCR) - אוגר לבקרת הקו

דוגמה לתכנות ה-LCR

```
#define DLABon 0x80
#define DLABoff 0x00
#define BPS96k 0x0c
#define SEVENBIT 0x02
#define STOPBITS 0x08
#define PRTYENA 0x08
#define EPS 0x10

#define DIVLTLCHLSB 0x3F8
#define DIVLTLCHMSB 0x3F9
#define LCR 0x3FB

initialize()
{
  outportb(LCR, DLABon);
  outport(DIVLTLCHLSB, BPS96K);
  outportb(LCR, DLABoff+SEVENBITS+STOPBITS+PRTYENA+EPS);
}
```

שאל קובל מערכות מחשב - כל הזכויות שמורות

יום שלישי 07 נובמבר 2006

אוגר לבקרת הקו (LCR) - הגדרת סיביות 0,1,2,6,7

- כאמור, ה-LCR הוא אוגר של 8 סיביות (כמו כל האוגרים של 8250) המבקר את הנתונים העוברים בקוויים TD ו-RD. הסיביות הם:
 - סיביות 0,1** - מגדירות את אורך המילה מ-5 ל-8 סיביות (word length).
 - 0 0 = 5 bit
 - 0 1 = 6 bit
 - 1 0 = 7 bit
 - 1 1 = 8 bit
 - סיביות 2** - מגדיר את אורך הסיביות הסיים.
 - אם הסיביות הוא "0", סיביות סיום באורך 1 סיבית.
 - 1: 1.5 bit length if 5 bit word selected, 2 bit length if 6,7,8 bit word selected
 - סיביות 6** - מגדיר את סיביות מקרת העצירה (break control). כאשר הסיביות הוא 1 הקו לשידור TD הוגדרה קבוע עם ערך "0" (space).
 - סיביות 7** - מגדיר את סיביות הגישה: DLAB (Divisor Latch Access Bit).
 - 0: enables access to RBR, THR, and IER.
 - 1: enables access to DLL and DLM (to set the baud).

שאל קובל מערכות מחשב - כל הזכויות שמורות

יום שלישי 07 נובמבר 2006

אוגר לבקרת הקו (LCR) - הגדרת סיביות הזוגיות

- סיביות 3** - אפשרו סיביות בדיקת זוגיות.
 - 0 = לא שולחים סיביות זוגיות.
 - 1 = שולחים סיביות של בדיקת זוגיות.
- סיביות 4** - בוחרים בין סיביות ביקורת זוגי או איזוגי.
 - 0 = סיביות זוגיות על פי איזוגי. המערכת סופרת ה' 1 במילה. אם הכמות הוא איזוגי אז סיביות הביקורת מוגדר כ-"1" (set), אם הכמות הוא זוגי אז סיביות הביקורת מוגדר כ-"0" (clear).
 - 1 = סיביות זוגיות על פי זוגי. המערכת סופרת ה' 1 במילה. אם הכמות הוא זוגי אז סיביות הביקורת מוגדר כ-"1" (set), אם הכמות הוא איזוגי אז סיביות הביקורת מוגדר כ-"0" (clear).
 - למשל המילה 11001011 בעלת כמות איזוגי של אחדים. אז אם סיביות הביקורת מאופשר (סיביות 3) וסיביות 4 = 0 (הוגדר סיביות איזוגי), משדרים סיביות ביקורת "1" ומקלט תבדוק את הנתונים ותצפה למצוא 1 בסיביות הביקורת.
- סיביות 5** - מגדיר את סיביות הביקורת באופן קבוע ("sticky"). הסיביות הוא תמיד אותו ערך "1" ("high") או "0" ("low").
 - 0 = סיביות הביקורת מוגדר על ידי המילה הנכנסת.
 - 1 = סיביות הביקורת הוא "0" אם סיביות 4 הוא 1, סיביות הביקורת הוא "1" אם סיביות 4 הוא 0. המסגרת הזאת תמידית כל עוד סיביות 6 הוא קבוע "1".

שאל קובל מערכות מחשב - כל הזכויות שמורות

יום שלישי 07 נובמבר 2006

אוגר למצב הקו (LSR) - Line Status Register

תמיד	D7	D6	D5	D4	D3	D2	D1	D0
אפס	0	TEMT	THRE	BI	FE	PE	OE	DR

- Data Ready Indicator (DR)**: 0 = Reset by reading the data in the Receiver Buffer Register; 1 = Data Ready to be Picked Up
- Transmitter Shift Reg Empty (TEMT)**: 0 = data on THR/TSR; 1 = THR & TSR Empty
- Transmitter Holding Reg Empty (THRE)**: 0 = processor starts loading a byte into the THR; 1 = Tr. Holding Register Empty
- Break Interrupt Detected (BI)**: 0 = Reset when CPU reads the Line Status Register; 1 = Break Interrupt Occurred
- Framing Error (FE)**: 0 = Reset when CPU reads the Line Status Register; 1 = Framing Error Occurred
- Parity Error (PE)**: 0 = Reset when CPU reads the Line Status Register; 1 = Parity Error Occurred
- Overrun Error (OE)**: 0 = Reset when CPU reads the data in the Receiver Buffer Register; 1 = Overrun Error Occurred

שאל קובל מערכות מחשב - כל הזכויות שמורות

יום שלישי 07 נובמבר 2006

אוגר למצב הקו (LSR) - Line Status Register

- The LSR shows the current status of communication, errors in transmission will be written into the register.
- Bit 0**: Data Ready (DR) indicator. When set it indicates that a byte is ready to be read from the RBR. Reading from the RBR sets the DR bit to 0.
- Bit 1**: Overrun Error (OE) indicator. When set indicates that a new byte has been received before the current byte in the RBR has been read. The OE is reset (set to 0) when the LSR is read.
- Bit 2**: Parity Error (PE) indicator. When set indicates that a parity error has occurred. Is reset by reading the LSR.
- Bit 3**: Framing Error (FE) indicator. Is set whenever the received word doesn't have a valid stop bit. The stop bit following the last data bit or parity is detected as a 0 instead of a 1.
- Bit 4**: Break Interrupt (BI) indicator. Is set whenever the RD line is held in the space state for longer than it takes to send a word.

שאל קובל מערכות מחשב - כל הזכויות שמורות

יום שלישי 07 נובמבר 2006

אוגר למצב הקו (LSR) - Line Status Register

- Bit 5**: Transmitter Holding Register Empty (THRE) indicator. When set it is possible to write another byte into the THR. The bit is set when the byte is transferred from the THR to the TSR. The bit is reset when the processor starts loading a byte into the THR.
- Bit 6**: Transmitter Shift Register Empty (TEMT) indicator. When set indicates that the TSR is empty. It is reset when a word is loaded into it from the THR.
- Bit 7**: Unused. Permanent 0.

שאל קובל מערכות מחשב - כל הזכויות שמורות

יום שלישי 07 נובמבר 2006

אוגר לאפשר פסיקות - Interrupt Enable Register

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	IN	Error	TBE	RxRDY

Low Power (16750) ...
Sleep Mode (16750) ...

Enable MODEM Status Interrupt

Receiver line Status Interrupt
גורם לפסיקה כאשר משבץ קו המקלט משתנה

Transmitter Buffer empty
Transmitter Holding Register Empty Interrupt

Received Data Available Interrupt
גורם לפסיקה כאשר הגיע נתון

0 = mask / Disable
1 = Enable - אפשר

יום שלישי 07 נובמבר 2006 55 ד"ר

אוגר לזיהוי פסיקות - Interrupt Identification Register

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0

Priority עדיפות

D2	D1	D0	P	Interrupt
0	0	1	x	None
1	1	0	0	Serialization error or Break
1	0	0	1	Received data
0	1	0	2	Transmitter buffer empty
0	0	0	3	MODEM status

INTERRUPT IDENTIFICATION			INTERRUPT SET AND RESET FUNCTIONS			
BIT 2	BIT 1	BIT 0	PRIORITY LEVEL	INTERRUPT FLAG	INTERRUPT SOURCE	INTERRUPT RESET CONTROL
X	X	1	None	None	None	None
1	1	0	First	Receiver Line Status	DE, FE, PE, or BI	LSR Read
1	0	0	Second	Received Data Available	Receiver Data Available	RRR Read
0	1	0	Third	THRE	THRE	IR Read if THRE is the Interrupt Source or THR Write
0	0	0	Fourth	Modem Status	DSR, DSR, RI, DCD	MSR Read

יום שלישי 07 נובמבר 2006 56 ד"ר

אוגר בקרה של המודם - The Modem Control Register (MCR)

The MCR is a read-write 8-bit register that controls the flow control lines (offset +4)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	Test	Out 2	Out 1	RTS	DTR

קבוע אפס (שמור)

LOOP TEST
0 = Loop Disable (בנוירה)
1 = Loop Enable (לבידוק)

OUT 2 (auxiliary)
0 = Inactive (output high)
1 = Active (output low)

OUT 1 (auxiliary)
0 = Inactive (output high)
1 = Active (output low)

Data Terminal Ready
0 = Inactive (out high)
1 = Active (out low)

Request to Send
0 = Inactive (output high)
1 = Active (output low)

יום שלישי 07 נובמבר 2006 57 ד"ר

אוגר מצב (סטטוס) של המודם - The Modem Status Register (MSR)

The MSR is a read-only register that shows the current status of the control lines (offset +6).

D7	D6	D5	D4	D3	D2	D1	D0
DCD	RI	DSR	CTS	Delta DCD	Delta RI	Delta DSR	Delta CTS

- Bit 0: Delta Clear to Send (DCTS) indicator. Is set if there was a change in the CTS since the last time the MSR was read. Is reset when the MSR is read.
- Bit 1: Delta Data Set Ready (DDSR) indicator. Is set if there was a change in the DSR since the last time the MSR was read. Is reset when the MSR is read.
- Bit 2: Trailing Edge Ring Indicator (TERI) indicator. The same as the DCTS and DDSR, not used by us.
- Bit 3: Delta RD Line Signal Detect (DRLSD) indicator. The same as the DCTS and DDSR, not used by us.
- Bit 4: Shows the status of the CTS line.
- Bit 5: Shows the status of the DSR line.
- Bit 6: Shows the status of the RI line (unused by us).
- Bit 7: Shows the status of the CD line (unused by us).

The above bits aren't effected by reading the MSR

יום שלישי 07 נובמבר 2006 58 ד"ר

אוגר לחלוקת תדר - Divisor Register

Table 9-7: Baud Rates and Divisors for 1.8432 MHz

Baud Rate	Divisor (Decimal)	Divisor (Hex)
110	1047	0417
300	384	0180
600	192	00C0
1200	96	0060
2400	48	0030
4800	24	0018
9600	12	000C

(Reprinted by permission of National Semiconductor, Copyright National Semiconductor 1990)

יום שלישי 07 נובמבר 2006 59 ד"ר

שידור דרך UART

- 0x3F8 transmission holding register

```

Main()
{
char ch;
/* initialize UART */
for (ch = 'A'; ch <= 'Z'; ch++)
    outportb(0x3F8, ch);
}
    
```

- not all of the bytes will be sent because the processor is faster than UART.

יום שלישי 07 נובמבר 2006 60 ד"ר

שידור דרך UART בשיטת סריקה

UART Transmission by Polling

```

#define TXR    0x3F8
#define LSR    0x3FD
#define THRE   0x20
main()
{
    char ch;
    /* initialize UART */
    for (ch = 'A'; ch <= 'Z' ; ch++)
    {
        while ((inportb(LSR) & THRE) == 0)
            ;
        outportb(TXR, ch);
    }
}
    
```

שאל קובל מערכות מחשב - כל הזכויות שמורות | יום שלישי 07 נובמבר 2006 | ד"ר 61

קלט דרך UART בשיטת סריקה

UART Reception by Polling

```

#define RCVR    0x3F8
#define LSR     0x3FD
#define DA      0x01
main()
{
    /* initialize UART */
    for ( ; ; )
    {
        while ((inportb(LSR) & DA) == 0)
            ;
        printf("%c\n", inportb(RCVR));
    }
}
    
```

שאל קובל מערכות מחשב - כל הזכויות שמורות | יום שלישי 07 נובמבר 2006 | ד"ר 62

פסיקות בממשק - UART Interrupts

- Polling wastes processing power.
- UART generates 4 types of interrupts (interrupt enable register).
- UART IER initialization:

```

#define IER      0x3F9
#define DATA_AV 0x01
#define TX_HR_MT 0x02
#define RVC_LS   0x04
#define MDM_CHG  0x08
uart_init()
{
    /* other initialization statements */
    outportb(IER, DATA_AV+RVC_LS),
}
    
```

שאל קובל מערכות מחשב - כל הזכויות שמורות | יום שלישי 07 נובמבר 2006 | ד"ר 63

תכנות רכיב בקר פסיקות עבור: UART Interrupts

- 8259 initialization:

```

#define INT_MASK 0x21
#define CLKENA   0xFE
#define KEYENA   0xFD
#define SPIENA   0xEF
#define SP2ENA   0xF7
#define PPENA    0x7F
void initialize()
{
    /* other initialization statements */
    outportb(INT_MASK, CLKENA & KEYENA & SPIENA & SP2ENA, PPENA);
}
    
```

שאל קובל מערכות מחשב - כל הזכויות שמורות | יום שלישי 07 נובמבר 2006 | ד"ר 64

פסיקות בממשק - UART Interrupts

- Interrupt identification register indicates the cause of the interrupt.

```

IIR  Interrupt
6   Receive line status (overrun, parity error, etc.)
4   Received data available
2   TX holding Reg. empty
0   Modem status change
    
```

שאל קובל מערכות מחשב - כל הזכויות שמורות | יום שלישי 07 נובמבר 2006 | ד"ר 65

Saul Coval Computers

All Rights Reserved - מסיבות מחשבים - שאל קובל

כל הזכויות שמורות | <http://www.coval.net>

ד"ר 66